

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-124636

(43)Date of publication of application : 26.04.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/3205

(21)Application number : 2000-315682

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.10.2000

(72)Inventor : KURIHARA KAZUAKI
IMANAKA YOSHIHIKO
NISHIZAWA MOTOTOSHI
OKAMOTO KEISHIRO
MARUYAMA KENJI
YAMAWAKI HIDEKI
UMEMIYA SHIGEYOSHI
KURASAWA MASAKI

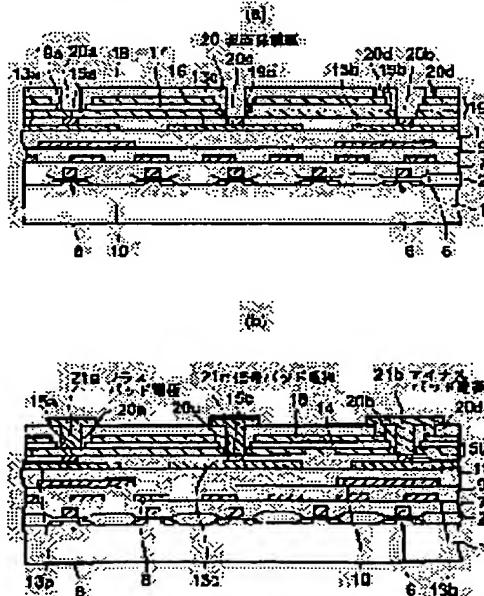
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enable containing of a decoupling capacitor, having a large capacity by reducing a power source noise of an LSI which has high drive frequency in a semiconductor device, having an integrated circuit and the decoupling capacitor.

SOLUTION: The semiconductor device comprises a first insulating film 7 formed on a semiconductor element 6, a multilayer interconnection structure having a first power source wiring 13a, a second power source wiring 13b and a signal wiring 13d formed on the film 7, a second insulating film 14 formed on the multilayer structure, a first electrode 16 of the decoupling capacitor 19 electrically connected to the wiring 13a formed on the film 14, a first dielectric film 17 of the capacitor 19 formed on the electrode 16, and a second electrode 18 of the capacitor 19 electrically connected to the wiring 13b formed on the film 17.

特許の実用新案に係る
半導体装置の構成と製造方法(その1)



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-124636
(P2002-124636A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int.Cl.
H 01 L 27/04
21/822
21/3205

識別記号

F I
H 01 L 27/04
21/88
27/04

テ-マコト*(参考)
C 5 F 0 3 3
S 5 F 0 3 8
H

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2000-315682(P2000-315682)

(22) 出願日 平成12年10月16日 (2000.10.16)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 栗原 和明
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 今中 佳彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74) 代理人 100091672
弁理士 岡本 啓三

最終頁に続く

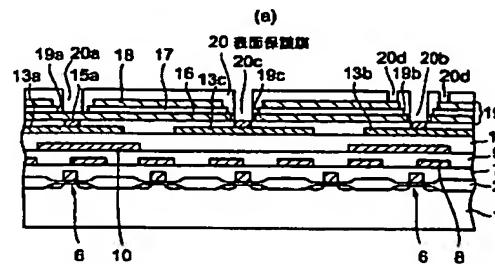
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 集積回路とデカップリングキャパシタを備えた半導体装置に関し、高駆動周波数のLSIの電源ノイズを低減し、大容量のデカップリングキャパシタの内蔵を可能にすること。

【解決手段】 半導体素子6の上に形成された第1絶縁膜7と、第1絶縁膜7の上に形成された第1電源系配線13a、第2電源系配線13b及び信号系配線13cを有する多層配線構造と、多層配線構造の上に形成される第2絶縁膜14と、第2絶縁膜14の上に形成されて第1電源系配線13aに電気的に接続されるデカップリングキャパシタ19の第1電極16と、第1電極16の上に形成されるデカップリングキャパシタ19の第1誘電体膜17と、第1誘電体膜17上に形成されて第2電源系配線13bに電気的に接続されるデカップリングキャパシタ19の第2電極18とを含む。

本発明の第1実施形態に係る
半導体装置の形成工程断面図 (その4)



【特許請求の範囲】

【請求項1】半導体基板に形成された半導体素子と、前記半導体素子及び前記半導体基板の上に形成された第1絶縁膜と、前記第1絶縁膜の上に形成された第1電源系配線、第2電源系配線及び信号系配線を有する多層配線構造と、前記第1及び第2電源系配線と前記信号系配線の上に形成される第2絶縁膜と、前記第2絶縁膜の上に形成されて前記第1電源系配線に電気的に接続されるデカップリングキャパシタの第1電極と、前記第1電極の上に形成される前記デカップリングキャパシタの第1誘電体膜と、前記第1誘電体膜上に形成されて前記第2電源系配線に電気的に接続される前記デカップリングキャパシタの第2電極とを有することを特徴とする半導体装置。

【請求項2】前記第1電極、前記第1誘電体膜及び前記第2電極を貫通する信号用開口と、前記デカップリングキャパシタ上に形成された第3絶縁膜と、前記第3絶縁膜に形成され且つ前記信号用開口内を通り前記信号用開口より狭く形成された信号用ホールと、前記第3絶縁膜に形成され且つ前記信号用ホール内を通り前記信号系配線に電気的に接続される信号パッド電極をさらに有することを特徴とする請求項1に記載の半導体装置。

【請求項3】前記デカップリングキャパシタを覆う第3の絶縁膜と、前記第3の絶縁膜上に形成されて前記第1電極に接続される第1電源パッド電極と、前記第3の絶縁膜上に形成されて前記第2電極に接続される第2電源パッド電極とをさらに有することを特徴とする請求項1に記載の半導体装置。

【請求項4】前記デカップリングキャパシタは、前記第2電極上に少なくとも1層交互に形成された第2誘電体膜と第3電極をさらに有することを特徴とする請求項1に記載の半導体装置。

【請求項5】半導体基板に半導体素子を形成する工程と、前記半導体素子及び前記半導体基板の上に第1絶縁膜を形成する工程と、前記第1絶縁膜の上に、第1電源系配線、第2電源系*

$$Z_1 = 2\pi f L + (1/2\pi f C) + R \quad \dots (2)$$

従って、電源系のインピーダンス Z_1 を低くするために、デカップリングキャパシタの低インダクタンス化と大容量化が必要となる。

【0005】デカップリングキャパシタの大幅な大容量化、低インダクタンス化の要求に対応するために、例えばLSIチップの周辺にデカップリングキャパシタを多数個配列する方法が一般に採られている。-しかし、-LSI-

2

*配線及び信号系配線を含む多層配線構造を形成する工程と、

前記多層配線の上に第2絶縁膜を形成する工程と、

前記第1電源系配線に電気的に接続されるデカップリングキャパシタの第1電極を前記第2絶縁膜の上に形成する工程と、

前記デカップリングキャパシタの酸化物からなる第1誘電体膜を500°C以下の形成温度で前記第1電極の上に形成する工程と、

10 前記第2電源系配線に電気的に接続される前記デカップリングキャパシタの第2電極を前記第1誘電体膜上に形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、コンピュータや通信機器等に使用されて高周波で動作する集積回路とデカップリングキャパシタを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】高周波で駆動される半導体集積回路(LSI)においては、スイッチングノイズによる誤動作を防ぐために、例えば図1に示すようにノイズを吸収するデカップリングキャパシタ100を電源101に並列に接続して電源系のノイズインピーダンスを下げる方法が用いられている。その電源101はLSI103の半導体素子102に接続されている。

【0003】要求される電源インピーダンス Z_0 は、次

30 式(1)で表されている。但し、Vは駆動電圧、nはLSI当たりの素子数、Iはスイッチング電流、fは駆動周波数を示している。

$$Z_0 \propto V/n I f \quad \dots (1)$$

従って、要求される電源インピーダンス Z_0 は、高集積化、低電圧化、高周波数化の進展により、急激に小さくなっている。

【0004】これに対し、デカップリングキャパシタが接続されているLSIの電源系のインピーダンス Z_1 は、次式(2)で表される。但し、Lは電源系のインダクタンス、Cは電源系の容量、Rは電源系の直列抵抗を示している。

$$Z_1 = 2\pi f L + (1/2\pi f C) + R \quad \dots (2)$$

Iの動作周波数が百MHz以上まで高くなると、デカップリングキャパシタ接続用配線のインダクタンス成分が大きく影響してくるので、図2に示すように、セラミック配線基板104上においてデカップリングキャパシタ100をLSI103の近くに配置する必要がある。

【0006】以上のような背景の下で、デカップリングキャパシタの低インダクタンス化を狙って、図3に示す

ように高誘電率材料を有するキャパシタ110をLSIチップ111に内蔵せざることが考えられている。キャパシタ内蔵の半導体装置は、例えば日経エレクトロニクスNo.581, 1993, pp.77-87に記載されている。また、キャパシタの低インダクタンス化を狙って、半導体チップが実装されるセラミック配線基板にキャパシタを内蔵することが、例えば特開平8-213760号公報に記載されている。

【0007】

【発明が解決しようとする課題】ところで、図3に示したキャパシタ110は、MOSFET112の側方に形成されているので、キャパシタ110の面積が広くなるほど素子形成面積が狭くなり、半導体装置の集積度が低下してしまう。なお、図3において符号113は半導体基板、114a~114cは配線、115a~115eは絶縁膜、116はパッド電極を示している。

【0008】また、MOSFET112を覆っている絶縁膜115aの上に酸化物高誘電体を取り入れたキャパシタ110を形成する場合には、キャパシタ110の上で多層の絶縁膜115a~115eを形成する毎に、酸化物高誘電体の酸素抜けを防止するための工程を加える必要があり、製造コストが高くなり、歩留まりが落ちる。また、キャパシタ110の領域を狭くすることになれば、十分な容量が得られなくなる。

【0009】また、図2に示したように、配線基板104内にキャパシタを内蔵する場合にはセラミック配線基板104の製造コストの低減が難しくなるばかりでなく、キャパシタを半導体装置に内蔵する場合に比べてインダクタンス成分が大きくなり、半導体装置の高周波化に限界がある等の問題がある。さらに、セラミック配線基板内では、大面積大容量のキャパシタ形成の信頼性が確保しにくい。

【0010】本発明の目的は、高駆動周波数のLSIの電源ノイズの低減に有効であり、大容量のキャパシタの内蔵が可能な半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記した課題は、半導体基板に形成された半導体素子と、半導体素子及び前記半導体基板の上に形成された第1絶縁膜と、第1絶縁膜の上に形成された第1電源系配線、第2電源系配線及び信号系配線を有する多層配線構造と、第1及び第2電源系配線と信号系配線の上に形成される第2絶縁膜と、第2絶縁膜の上に形成されて第1電源系配線に電気的に接続されるデカップリングキャパシタの第1電極と、第1電極の上に形成されるデカップリングキャパシタの第1誘電体膜と、第1誘電体膜上に形成されて第2電源系配線に電気的に接続されるデカップリングキャパシタの第2電極とを有することを特徴とする半導体装置によって解決される。

【0012】また、上記した課題は、半導体基板に半導体素子を形成する工程と、半導体素子及び半導体基板の上に第1絶縁膜を形成する工程と、記第1絶縁膜の上に、第1電源系配線、第2電源系配線及び信号系配線を含む多層配線構造を形成する工程と、多層配線の上に第2絶縁膜を形成する工程と、第1電源系配線に電気的に接続されるデカップリングキャパシタの第1電極を第2絶縁膜の上に形成する工程と、デカップリングキャパシタの酸化物からなる第1誘電体膜を500°C以下の形成温度で第1電極の上に形成する工程と、第2電源系配線に電気的に接続されるデカップリングキャパシタの第2電極を第1誘電体膜上に形成する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0013】次に、本発明の作用について説明する。本発明によれば、半導体基板上の多層配線構造のさらに上にデカップリングキャパシタを形成するようにしている。これにより、半導体素子や配線の微細化、高集積化に影響を及ぼさずに、最大でLSIチップのほぼ一面全体にデカップリングキャパシタを形成することが可能になって、デカップリングキャパシタの大容量化が可能である。

【0014】また、デカップリングキャパシタはLSIチップ内に作成されているために、デカップリングキャパシタと半導体素子又は配線とを接続する距離が短くなつてインダクタンス成分が小さくなり、LSIの電源ノイズの低減に有効である。さらに、デカップリングキャパシタを構成する一方の電極を定電位、例えば接地電位とすることにより、キャパシタ下方の多層配線や半導体素子への不要な電磁波、不要な信号を遮蔽することが可能になり、半導体装置の誤動作を防止できる。

【0015】本発明では、多層配線構造の上にデカップリングキャパシタを形成するようにしたので、デカップリングキャパシタの誘電体膜を構成する例えば高誘電体が還元ガスに晒される場面が少なくなってキャパシタの劣化が防止される。また、デカップリングキャパシタの形成は、半導体装置の形成で採用される成膜方法やバーニング方法を採用するために、歩留まりは良好である。

【0016】

【発明の実施の形態】以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態) 図4~図7は、本発明の第1実施形態に係る半導体集積回路装置の製造工程を示す断面図である。

【0017】まず、図4(a)に示す構造となるまでの工程を説明する。例えば8インチ径のp型のシリコン(半導体)基板1の表面に、複数の活性領域を囲む素子分離絶縁膜2をLOCOS法等によって形成する。続いて、シリコン基板1の活性領域で、基板表面にゲート絶縁膜3を介してゲート電極4を形成する。さらに、ゲート電

極4の両側のシリコン基板1にn型の不純物イオンを注入することによりソース／ドレインとなる不純物拡散層5s, 5dを形成する。それらの不純物拡散層5s, 5d、ゲート電極4等によってMOSトランジスタ6が構成される。

【0018】そのようなMOSトランジスタ6をシリコン基板1に複数形成し、MOSトランジスタ6と素子分離絶縁膜2を覆う第1の層間絶縁膜7をした後に、第1の層間絶縁膜7の表面を化学機械研磨(CMP)法によって平坦化する。続いて、第1の層間絶縁膜7の上に第2及び第3の層間絶縁膜9, 11を形成する。第1及び第2の層間絶縁膜7, 9のそれぞれの上には、それぞれ第1層目、第2層目の配線8, 10を例えばダマシン法により形成する。それらの配線8, 10を銅膜から構成する場合には、銅膜の下にはチタン、窒化タンタルのようなバリアメタルを形成し、また、銅膜の上には窒化シリコンを形成する。

【0019】第1、第2及び第3の層間絶縁膜7, 9, 11として、例えばCVD法によってシリコン酸化膜(SiO₂)を形成する。さらに、第3の層間絶縁膜11上に酸化シリコンよりなる絶縁膜12を形成した後に、ダマシン法により絶縁膜12内に第3層目の配線を形成する。即ち、絶縁膜12に配線溝を形成してその内にバリアメタルと銅膜を形成する。そして、バリアメタルと銅膜をCMP法により研磨して第3の層間絶縁膜11表面から除去して、配線溝内に残されたバリアメタルと銅膜を第3層目の配線とする。

【0020】第3層目の配線としては、MOSトランジスタ7から構成される回路に接続されるプラス電源配線13a及びマイナス電源配線13bと、そのような回路に接続される複数の信号配線13cがある。なお、MOSトランジスタ6、第1層目の配線8、第2層目の配線11、第3層目の配線13a～13cはそれぞれ図示しないコンタクトホールを通して互いに電気的に接続されている。

【0021】次に、図4(b)に示すように、第3層目の配線13a～13cを覆う第4の層間絶縁膜14として、シリコン酸化膜を形成した後に、第4の層間絶縁膜14の表面をCMP法により平坦化する。続いて、第4の層間絶縁膜14をパターニングしてプラス電源配線13aとマイナス電源配線13bと信号配線13cのそれぞれの上に第1～第3のピアホール14a～14cを形成する。この場合、ピアホール14a～14cのピッチを例えば150μm程度とする。

【0022】次に、第1～第3のピアホール14a～14cと第4の層間絶縁膜14の上に窒化タンタル膜と銅膜を順に形成した後に、それらの窒化タンタルと銅膜をCMP法により研磨して第4の層間絶縁膜14の上から除去する。そして、図5(a)に示すように、第1～第3のピアホール14a～14c内に残された窒化タンタル…

膜と銅膜を最上層のピア15a～15cとする。

【0023】この後に、水素プラズマによって、第4の層間絶縁膜14とピア15a～15cの表面を清浄にする。次に、図5(b)に示すような構造を形成するまでの工程を説明する。まず、第4の層間絶縁膜14とピア15a～15cの上に、膜厚50nmのチタン膜と膜厚150nmのプラチナ(Pt)膜を第1の導電膜16としてRFマグネットロンスパッタ法により順に形成する。

【0024】続いて、RFマグネットロンスパッタ法によりBST((Ba_{0.5}Sr_{0.5})TiO₃)のような高誘電体材料となる誘電体膜17を第1の導電膜16の上に形成する。BSTの形成条件は、BSTターゲットを真空チャンバー内に置き、その真空チャンバー内にアルゴン(Ar)を20scm、酸素(O₂)を20sccmの流量で導入し、真空チャンバー内の電極間の高周波パワーを1200Wとし、真空チャンバー内の圧力を20mTorrとし、基板温度を400℃とする。このような条件では、圧力が20mTorrと一般的なスパッタ条件よりも低いために、スパッタ粒子が基板に到達する際のエネルギーが高い。このため、基板温度を低くしてもBSTの結晶性が良くなる。

【0025】誘電体膜17として使用したBSTは高誘電率、低損失、高耐圧、安定性、高周波数特性等において優れている。BSTの代わりに、BaZrTiO₃、BaTiSnO₃等のBaTiO₃系、或いは、PMN-Pt(PbMnNbO₃-PbTiO₃)のようなPb系などのペロブスカイト酸化物を用いてもよい。なお、誘電体膜17としては、高誘電体材料に限られるものではなく、一般的な誘電体材料であってもよい。

【0026】さらに続いて、誘電体膜17の上に、膜厚150nmのPt膜を第2の導電膜18としてRFマグネットロンスパッタ法により形成する。そのような第2の導電膜18、誘電体膜17及び第1の導電膜16は大気に開放されずに、連続して形成されることが望ましい。この後に、シリコン基板1を酸素雰囲気中に置いて、第2の導電膜18を通して誘電体膜17を加熱して第2の導電膜18の結晶性を高める。

【0027】次に、図6(a)に示すように、第2の導電膜18と誘電体膜17をフォトリソグラフィー法によりパターニングすることにより、第2の導電膜18をキャバシタ19の上部電極の形状にするとともに、誘電体膜17をキャバシタ19の誘電体膜の形状にする。このパターニングの際には、同時に、第1～第3のピア15a～15cの上とその周辺領域で第1の導電膜16を露出する第1～第3の開口19a～19cを形成する。

【0028】続いて、図6(b)に示すように、第1の導電膜16をフォトリソグラフィー法によりパターニングすることにより、キャバシタ19の下部電極の形状となし、同時に、第2、第3のピア15b、15cが露出するまで第2、第3の開口19b、19cを深くする。このパターニングの際には、第1の導電膜16は第1のビ…

ア15aに接続した状態にする。

【0029】この後、エッチングにより劣化した誘電体膜17の結晶性を回復するために、第2の導電膜18を通して誘電体膜17を酸素アニールする。次に、図7(a)に示す構造になるまでの工程を説明する。まず、キャバシタ19及び第1～第3のピア15a～15c及び第4の層間絶縁膜14の上にポリイミドよりなる絶縁性の表面保護膜20を形成する。

【0030】続いて、表面保護膜20をバーニングして第1～第3の開口19a～19cのそれぞれの中を通ってそれより小径の第1～第3のホール20a～20cを形成するとともに、第2のピア15bの周辺で第2の導電膜18の一部を露出する第4のホール20dを形成する。次に、表面保護膜20の上と第1～第4のホール20a～20dの中にチタン膜、ニッケル膜、金膜を順に形成した後に、これらの金属膜をバーニングして図7(b)に示すようなプラスパッド電極21a、マイナスパッド電極21b、信号パッド電極21cを形成する。

【0031】プラスパッド電極21aは、第1のホール20aを通して第1の導電膜16に接続され、これにより第1のピア15aとプラス電源配線13aに電気的に接続される。また、マイナスパッド電極21bは、第2のホール20bを通して第2のピア15bに接続されてマイナス電源配線13bに電気的に接続されるとともに、第4のホール20dを通して第2の導電膜18に接続される。さらに、信号パッド電極21cは、第3のホール20cを通して第3のピア15cに接続されて信号配線13cに電気的に接続される。

【0032】プラスパッド電極21a、マイナスパッド電極21b、信号パッド電極21cの配置関係は、図8に示すようになる。図8のI—I線断面を示すと図7(b)のようになる。その後に、プラスパッド電極21a、マイナスパッド電極21b、信号パッド電極21cの上に半田パンプ(不図示)を形成し、さらにダイシングソーによりシリコン基板1を各LSI回路毎に切断して、複数のLSIチップを得る。

【0033】なお、上記した第1～第4の層間絶縁膜7、9、11、14として、SiO₂の他に、PSG、SiON等の絶縁材料を適用してもよい。また、キャバシタ19は、図9(a)に示すように、LSIチップの全体に一体的に形成されてもよいし、図9(b)に示すように、LSIチップ内で複数に分割された形状であってもよい。さらに、上記した構造では、デカップリングキャバシタ19の下に3層構造の配線を形成しているが、さらに層数の多い多層配線構造を採用してもよい。

【0034】以上のような構造の半導体装置においては、多層構造の配線8、10、13a～13cとパッド電極21a～21cとの間にデカップリング用のキャバシタ19が形成されているので、キャバシタ19の上に形成する絶縁膜が表面保護膜20の1層、多くても2層

程度なので、キャバシタ19の誘電体膜19を構成する高誘電体が還元ガスに晒される工程が大幅に低減する。即ち、高誘電体の酸素抜けを改善するための酸素プラズマ処理が従来よりも少なくなる。

【0035】しかも、MOSトランジスタ6、配線8、10等の微細化に影響されず、最大で、ホール20a～20dを除くLSIチップのほぼ全体に形成することが可能になって、キャバシタ19の容量が大きくなる。また、MOSトランジスタ7のような半導体素子の微細化、高集積化を妨げることもない。さらに、キャバシタ19はLSIチップに形成されているために、キャバシタ19とMOSトランジスタ6や配線8、10とを接続する距離は短くなつて、インダクタンス成分が小さくなり、高周波化に適応することができる。しかも、キャバシタ19の形成は、半導体装置の形成で採用される成膜方法やバーニング方法を採用するために、歩留まりは良好である。

【0036】ところで、キャバシタ19の誘電体膜17を高誘電体材料から形成するために、ECRスパッタ法、ヘリコン波スパッタ法、MOCVD法、レーザアブレーション、ゾルゲル、イオンビームデポジションなどでもよいが、本実施形態では、好ましい方法として、RFマグネットロンスパッタ法を用いている。RFマグネットロンスパッタ法によれば、400℃程度の低い基板温度で十分に高い誘電率の誘電体膜17の形成が可能になり、誘電体膜17の下方に形成されたMOSトランジスタ6、多層構造の配線8、10に加熱による悪影響を及ぼすことはない。

【0037】また、キャバシタ19の上部電極を構成する第2の導電膜18を接地することによって、その下方の多層配線への不要な電磁波や信号を遮蔽することが可能になり、半導体装置の誤動作を防止できる。ところで、本実施形態の構造のキャバシタ19を採用した10mm角の第1のLSIを試作した。そのキャバシタ19の上部電極(第2の導電膜18)と下部電極(第1の導電膜16)の間の容量は1μF/cm²であった。そして、第1のLSIの駆動周波数を200MHzとして電源インピーダンスを測定した。

【0038】一方、キャバシタ19を有しない第2のLSIを作製し、第2のLSIの電源系統に外付けで1μF/cm²のキャバシタを接続した。そして、第2のLSIの駆動周波数を200MHzとして電源インピーダンスを測定した。この結果、キャバシタ19を内蔵した第1のLSIの電源インピーダンスは、外部のキャバシタが接続された第2のLSIの電源インピーダンスの約1/50となった。また、第1のLSIと第2のLSIをそれぞれ1GHzで駆動した際のノイズレベルを比較したところ、第1のLSIのノイズレベルは第2のLSIのノイズレベルに比べて1/10以下になった。さらに、セラミック基板上で、第1のLSIの実装面積は、第2

のLSIと外付けキャパシタの実装面積の約半分となつた。

(第2の実施の形態) 第1の実施の形態の半導体装置は、1層の誘電体を2層の導電体で挟んだ構造のキャパシタを有しているが、さらに容量を増やしたい場合には、導電体膜と誘電体膜を交互に複数形成した構造のキャパシタを採用してもよい。そこで、以下に、3層の導電体膜のそれぞれの間に誘電体膜を挟んだ構造のキャパシタの形成工程について図10～図14を参照して説明する。なお、図10～図14において、図5(a)で示したと同じ符号は同じ要素を示している。

【0039】まず、図10(a)に示す構造を形成する。その構造の形成工程は、第1実施形態の図5(a)と同様であり、その詳細は省略する。次に、図10(b)に示すように、チタンとPtの二層構造よりなる第1の導電膜23をRFスパッタ法により形成した後に、第1の導電膜23をバーニングして第2のビア15bの上に第1の開口31を形成する。第1の開口31は、第2のビア15bよりも広く形成される。

【0040】続いて、図11(a)に示すように、第1の開口31の中と第1の導電膜23の上に、膜厚100nmの第1の誘電体膜24と膜厚150nmの第2の導電膜25を順に形成する。第1の誘電体膜24は、第1実施形態で示した強誘電体材料を採用し、その強誘電体材料の形成方法としてはRFスパッタ法を採用することが望ましい。また、第2の導電膜25として、例えばチタンとPtの二層構造をRFスパッタ法により形成する。なお、第1の誘電体膜24と第2の導電膜25は大気に晒さずに連続的に形成する。

【0041】次に、図11(b)に示すように、第2の導電膜25と第1の誘電体膜24をフォトリソグラフィー法により順次バーニングすることにより、第1、第3のビア15a、15cの上方にそれぞれ第2、第3の開口32、33を形成するとともに、第1の開口31の中を通って第1の開口よりも狭い第1のホール34を形成してそこから第2のビア15bを露出させる。この後に、第1の誘電体膜24を酸素アニールすることにより、その膜質を改善する。

【0042】これに続いて、図12(a)に示すように、第1の導電膜23をフォトリソグラフィー法によりバーニングすることにより、第3の開口33をさらに深くして第3のビア15cを露出させる。次に、図12(b)に示すように、第2の誘電体膜26と第3の導電膜27を、第2、第3の開口32、33の中と第1のホール34の中と第2の導電膜25の上に順に形成する。第2の誘電体膜26として、第1の誘電体膜24と同じ体材料を採用し、同じ方法により形成する。第3の導電膜27として、第2の導電膜と同じ材料を採用し、同じ方法により形成する。第2の誘電体膜26と第3の導電膜27は大気に晒さずに連続的に形成する。

【0043】その後に、図13(a)に示すように、第3の導電膜27と第2の誘電体膜26をフォトリソグラフィー法によりバーニングすることにより、第1のホール34と第3の開口33を上方に且つ広く延ばして第1のホール34と第3の開口33からそれぞれ第2及び第3のビア15b、15cを露出させ、同時に、第2の開口32の中にそれよりも狭い第2のホール35を形成する。この後に、第1及び第2の誘電体膜24、26を酸素アニールすることにより、それらの膜質を改善する。

【0044】なお、第1～第3の導電膜23、24、27、第1及び第2の誘電体膜24、26をバーニングする際には、開口やホールを形成するだけでなく、それぞれの膜をキャパシタ形状に整形する。以上のようなバーニングを終えた後に、ポリイミドなどの絶縁材料よりなる表面保護膜28を形成する。その後に、図14(a)に示すように、表面保護膜28をフォトリソグラフィー法によりバーニングすることにより、第1及び第2のホール34、35を上に延ばすとともに、第3の開口31の中にそれよりも狭い第3のホール36を形成する。これにより、第1のホール34内では第2のビア15bと第2の導電膜25が露出し、また、第2のホール35内では第1の導電膜23と第3の導電膜27を露出させ、さらに第3のホール36では第3のビア15cを露出させる。

【0045】次に、表面保護膜28の上と第1～第3のホール34～36の中にチタン膜、ニッケル膜、金膜を順に形成した後に、これらの金属膜をバーニングして図14(b)に示すようなプラスパッド電極37a、マイナスパッド電極37b、信号パッド電極37cを形成する。プラスパッド電極37aは、第2のホール35を通して第1の導電膜23と第3の導電膜27に接続されて第1のビア15aとプラス電源配線13aに電気的に接続される。また、マイナスパッド電極37bは、第1のホール34を通して第2の導電膜25と第2のビア15bに接続されてマイナス電源配線13bに電気的に接続される。さらに、信号パッド電極37cは、第3のホール36を通して第3のビア15cに接続されて信号配線13cに電気的に接続される。即ち、第1～第3の導電膜23、25、27はそれぞれキャパシタの電極となる。

【0046】なお、プラスパッド電極37a、マイナスパッド電極37b及び信号パッド電極37cの配置は、図8とほぼ同じになる。これにより、図14(b)に示すように、第2の電極25の上と下にそれぞれデカップリング用の上側のキャパシタ29aと下側のキャパシタ29bが形成される。そして、上側のキャパシタ29aと下側のキャパシタ29bは、プラスパッド電極37aとマイナスパッド電極37bによって並列に接続されるので、第4の層間絶縁膜14の上に存在するキャパシタの容量は、第1実施形態のキャパシタの容量の約2倍となる。

る。

【0047】この実施形態においても、第1実施形態と同様に、LSIチップに搭載されるキャパシタの容量は従来よりも大きくなり、またキャパシタを構成する高誘電体材料の還元による劣化が抑制され、さらにMOSトランジスタ等の高集積化を妨げることはない。しかも、多層配線構造はキャパシタの下に存在するので、配線構造を形成する毎にキャパシタの酸化物誘電体膜を酸素アニールする必要が無くなる。

【0048】なお、図14(b)では2のキャパシタ29a, 29bを示しているが、導電膜と誘電体膜を交互に複数層形成して3つ以上のキャパシタを重ねて形成してもよい。また、キャパシタ29a, 29bのプラス電源配線13aとマイナス電源配線13bへの接続を逆にして、最上の導電膜27をアース電位としてもよい。ところで、上記した2つの実施形態において、デカップリングキャパシタ19, 29a, 29bの上にさらに配線を形成したり、その配線の上に同じような構造の上側のキャパシタを形成してもよい。或いは、上記デカップリングキャパシタ19, 29a, 29bの他に、多層配線の下又はその中に上記デカップリングキャパシタより容量の小さい他のデカップリングキャパシタを形成してもよい。

【0049】なお、多層配線層の上に形成したキャパシタを、デカップリング用ではなく、FeRAM、DRAM等のメモリセルのキャパシタに用いてもよい。FeRAM用のキャパシタの誘電体膜には、PZT、PLZT等の強誘電体材料が使用される。

(付記1) 半導体基板に形成された半導体素子と、前記半導体素子及び前記半導体基板の上に形成された第1絶縁膜と、前記第1絶縁膜の上に形成された第1電源系配線、第2電源系配線及び信号系配線を有する多層配線構造と、前記第1及び第2電源系配線と前記信号系配線の上に形成される第2絶縁膜と、前記第2絶縁膜の上に形成されて前記第1電源系配線に電気的に接続されるデカップリングキャパシタの第1電極と、前記第1電極の上に形成される前記デカップリングキャパシタの第1誘電体膜と、前記第1誘電体膜上に形成されて前記第2電源系配線に電気的に接続される前記デカップリングキャパシタの第2電極とを有することを特徴とする半導体装置。

(付記2) 前記デカップリングキャパシタは、前記半導体基板の上方又は一部に形成されているか、前記半導体基板の上方で分割されて形成されていることを特徴とする付記1に記載の半導体装置。

(付記3) 前記第1誘電体膜は、ペロブスカイト酸化物であることを特徴とする付記1に記載の半導体装置。

(付記4) 前記第1誘電体膜は、BaTiO₃系、Pb系の酸化物であることを特徴とする付記1に記載の半導体装置。

(付記5) 前記第1電極、前記第1誘電体膜及び前記第

2電極を貫通する信号用開口と、前記デカップリングキャパシタ上に形成された第3絶縁膜と、前記第3絶縁膜に形成され且つ前記信号用開口内を通って前記信号用開口より狭く形成された信号用ホールと、前記第3絶縁膜に形成され且つ前記信号用ホール内を通り前記信号系配線に電気的に接続される信号パッド電極をさらに有することを特徴とする付記1に記載の半導体装置。

(付記6) 前記デカップリングキャパシタを覆う第3の絶縁膜と、前記第3の絶縁膜上に形成されて前記第1電極に接続される第1電源パッド電極と、前記第3の絶縁膜上に形成されて前記第2電極に接続される第2電源パッド電極とをさらに有することを特徴とする付記1に記載の半導体装置。

(付記7) 前記デカップリングキャパシタは、前記第2電極上に少なくとも1層交互に形成された第2誘電体膜と第3電極をさらに有することを特徴とする付記1に記載の半導体装置。

(付記8) 前記第2誘電体膜は前記第1誘電体膜と同じ材料から構成されていることを特徴とする付記7に記載の半導体装置。

(付記9) 前記第1、第2及び第3電極と前記第1及び第2誘電体膜とを貫通する信号用開口と、前記デカップリングキャパシタ上に形成された第3絶縁膜と、前記第3絶縁膜上に形成され且つ前記信号用開口内を通り前記信号用開口より狭く形成された信号用ホールと、前記第3絶縁膜上に形成され且つ前記信号用ホール内を通り前記信号系配線に電気的に接続される信号パッド電極とをさらに有することを特徴とする付記7に記載の半導体装置。

(付記10) 前記デカップリングキャパシタを覆う第3の絶縁膜と、前記第3絶縁膜上に形成されて前記第1及び前記第3電極と前記第1電源配線に電気的に接続される第1電源パッド電極と、前記第3絶縁膜上に形成されて前記第2電極と前記第2電源配線に電気的に接続される第2電源パッドとをさらに有することを特徴とする付記7に記載の半導体装置。

(付記11) 前記デカップリングキャパシタの上に絶縁膜を介して上側の配線が形成されていることを特徴とする付記1又は付記7に記載の半導体装置。

(付記12) 半導体基板に半導体素子を形成する工程と、前記半導体素子及び前記半導体基板の上に第1絶縁膜を形成する工程と、前記第1絶縁膜の上に、第1電源系配線、第2電源系配線及び信号系配線を含む多層配線構造を形成する工程と、前記多層配線の上に第2絶縁膜を形成する工程と、前記第1電源系配線に電気的に接続されるデカップリングキャパシタの第1電極を前記第2絶縁膜の上に形成する工程と、前記デカップリングキャパシタの酸化物からなる第1誘電体膜を500℃以下の形成温度で前記第1電極の上に形成する工程と、前記第2電源系配線に電気的に接続される前記デカップリング

グキャパシタの第2電極を前記第1誘電体膜上に形成する工程とを有することを特徴とする半導体装置の製造方法。

(付記13) 前記第2電極の上には、さらに第2誘電体膜と第3電極を少なくとも1層交互に形成する工程を有することを特徴とする付記12に記載の半導体装置の製造方法。

(付記14) 前記第2誘電体膜は、前記第1誘電体膜と同じ材料から形成するkとを特徴とする付記16に記載の半導体装置の製造方法。

(付記15) 前記第1電極、前記第1誘電体膜、第2電極は大気に晒さずに連続的に形成されることを特徴とする付記12に記載の半導体装置の製造方法。

【0050】

【発明の効果】 以上述べたように本発明によれば、半導体基板上の多層配線構造のさらに上にデカップリングキャパシタを形成するようにしているので、半導体素子や配線の微細化、高集積化に影響を及ぼさずに、最大でLSIチップのほぼ一面全体にデカップリングキャパシタを形成することが可能になって、LSI内蔵のデカップリングキャパシタを従来よりも大きくすることができます。

【0051】 また、デカップリングキャパシタはLSIチップ内に作成されているために、デカップリングキャパシタと半導体素子又は配線とを接続する距離が短くなつてインダクタンス成分が小さくなり、LSIの電源ノイズを有効に低減できる。本発明では、多層配線構造の上にデカップリングキャパシタを形成するようにしたので、デカップリングキャパシタの誘電体膜を構成する例えは高誘電体が還元ガスに晒される場面が少なくなつてキャパシタの劣化を防止できる。

【図面の簡単な説明】

【図1】 図1は、デカップリングキャパシタの接続例を示す回路構成図である。

【図2】 図2は、LSIチップとデカップリングキャパシタの一般的な配置を示す側面図である。

【図3】 図3は、キャパシタを内蔵した従来の半導体装置を示す断面図である。

【図4】 図4(a), (b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その1)である。 *40

* 【図5】 図5(a), (b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その2)である。

【図6】 図6(a), (b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その3)である。

【図7】 図7(a), (b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その4)である。

【図8】 図8は、本発明の第1実施形態に係る半導体装置のパッド電極の配置を示す平面図である。

【図9】 図9は、本発明の第1実施形態の半導体装置に係る半導体装置内のキャパシタの形成位置を示す平面図である。

【図10】 図10(a), (b)は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図(その1)である。

【図11】 図11(a), (b)は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図(その2)である。

【図12】 図12(a), (b)は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図(その3)である。

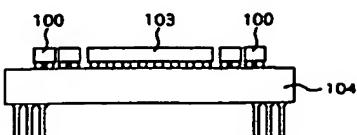
【図13】 図13(a), (b)は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図(その4)である。

【符号の説明】

1…シリコン(半導体)基板、2…素子分離絶縁膜、3…ゲート絶縁膜、4…ゲート電極、5s, 5d…不純物拡散層、6…MOSトランジスタ、7, 9, 11, 14…層間絶縁膜、12…絶縁膜、13a…プラス電源配線、13b…マイナス電源配線、13c…信号配線、14a～14c…ビアホール、15a～15c…ビア、16, 18…導電膜、17…誘電体膜、19a～19c…開口、20…表面保護膜、20a～20c…ホール、21a…プラスパッド電極、21b…マイナスパッド電極、21c…信号パッド電極、23, 25, 27…導電膜、24, 26…誘電体膜、28…表面保護膜、29a, 29b…キャパシタ、31, 32, 33…開口、34, 35, 36…ホール、37a…プラスパッド電極、37b…マイナスパッド電極、37c…信号パッド電極。

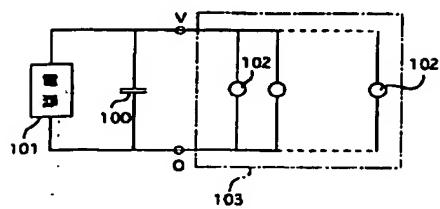
【図2】

従来技術(その1)



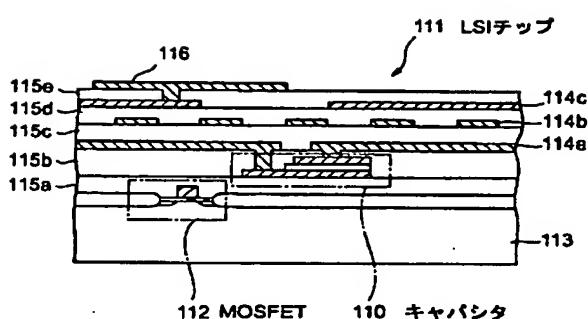
【図1】

デカップリングキャバシタの接続例を示す回路図



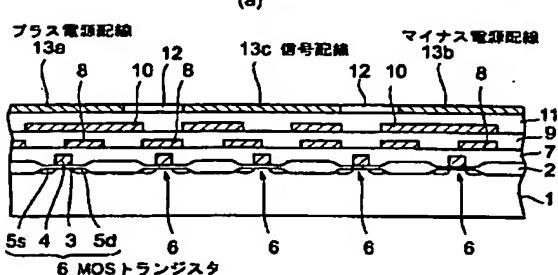
〔图3〕

従来技術（その2）



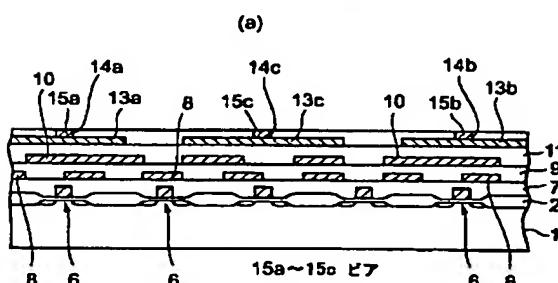
【图4】

本発明の第1実施形態に係る 半導体装置の形成工程断面図（その1）

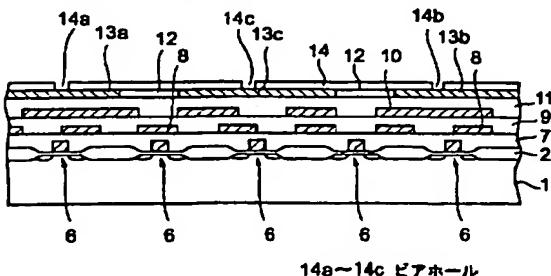


〔四五〕

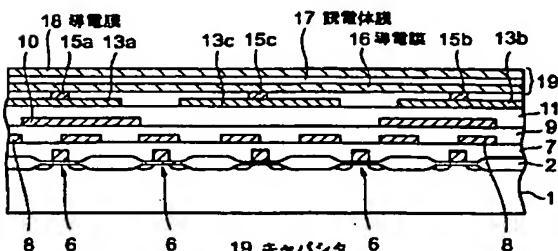
本発明の第1実施形態に係る
半導体装置の形成工程断面図（その2）



(b)

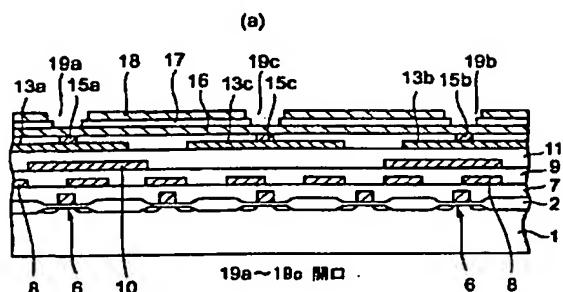


(b)

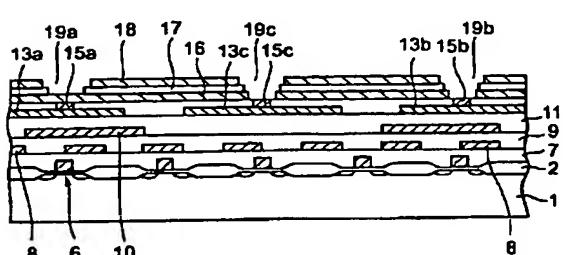


【図6】

本発明の第1実施形態に係る
半導体装置の形成工程断面図（その3）

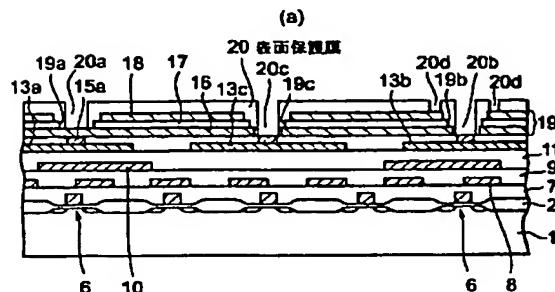


(b)

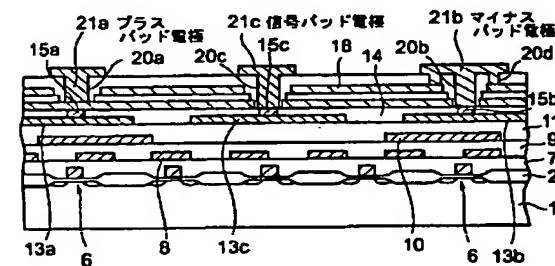


【図7】

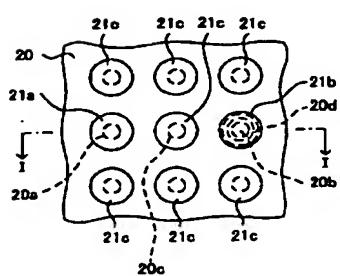
本発明の第1実施形態に係る
半導体装置の形成工程断面図（その4）



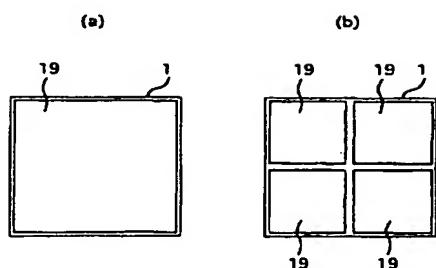
(b)



【図8】

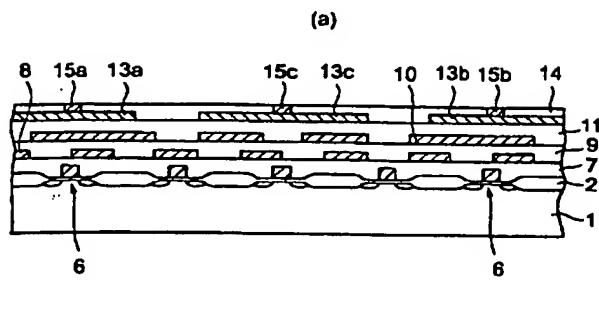


【図9】

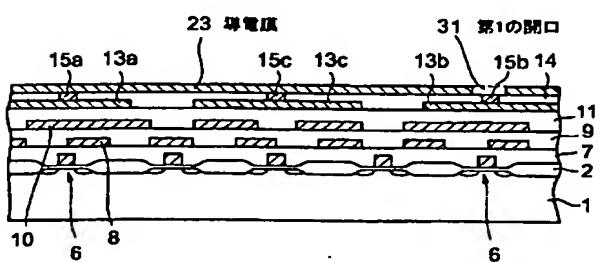


【図10】

本発明の第2実施形態に係る
半導体装置の形成工程断面図（その1）

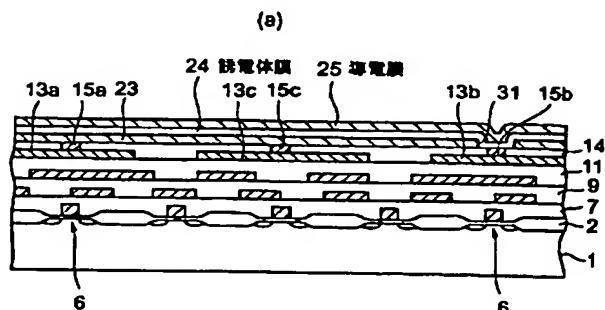


(b)

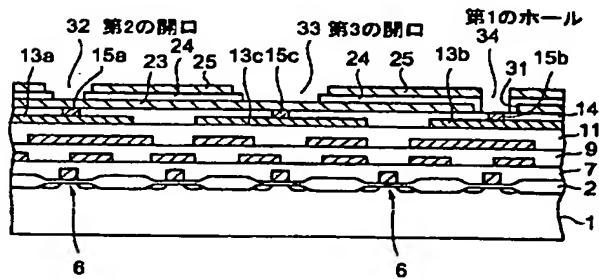


【図11】

本発明の第2実施形態に係る
半導体装置の形成工程断面図（その2）

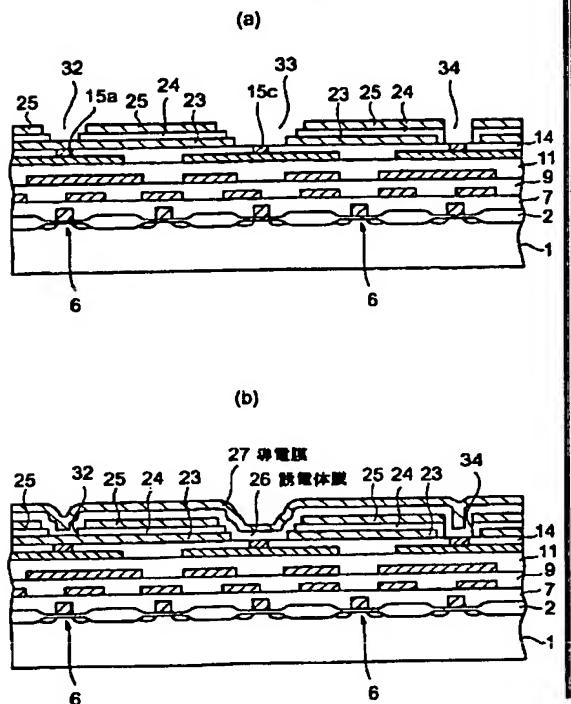


(b)



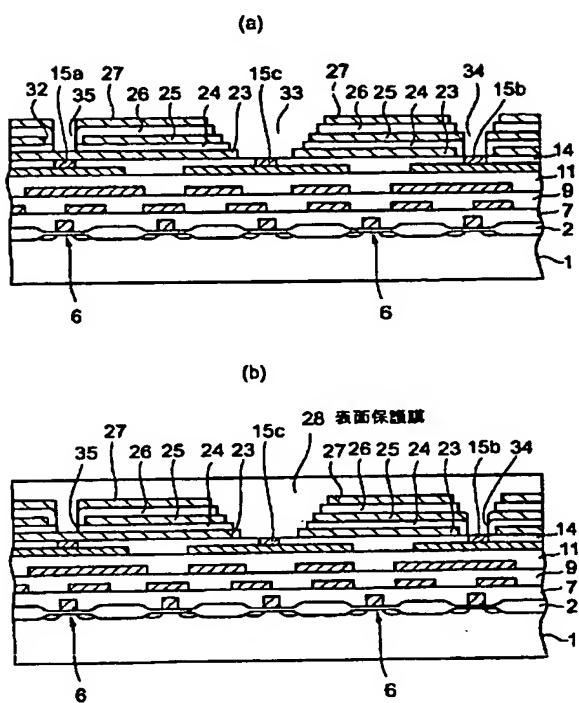
【図12】

本発明の第2実施形態に係る
半導体装置の形成工程断面図（その3）



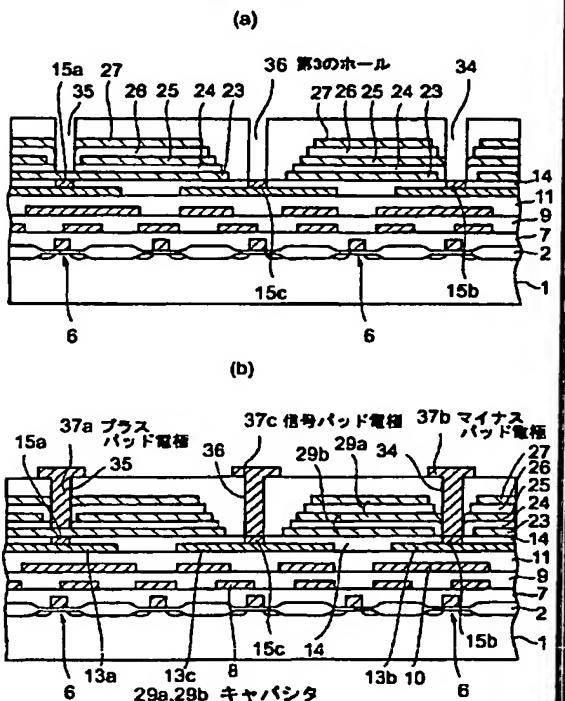
【図13】

本発明の第2実施形態に係る
半導体装置の形成工程断面図（その4）



【図14】

本発明の第2実施形態に係る
半導体装置の形成工程断面図（その5）



【手続補正書】

【提出日】平成12年11月15日（2000.11.15）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】図1は、デカップリングキャバシタの接続例を示す回路構成図である。

【図2】図2は、LSIチップとデカップリングキャバシタの一般的な配置を示す側面図である。

【図3】図3は、キャバシタを内蔵した従来の半導体装置を示す断面図である。

【図4】図4(a),(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図（その1）である。

【図5】図5(a),(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図（その2）である。

【図6】図6(a),(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図（その3）である。

【図7】図7(a),(b)は、本発明の第1実施形態に係る

半導体装置の形成工程を示す断面図（その4）である。

【図8】図8は、本発明の第1実施形態に係る半導体装置のパッド電極の配置を示す平面図である。

【図9】図9は、本発明の第1実施形態の半導体装置に係る半導体装置内のキャバシタの形成位置を示す平面図である。

【図10】図10(a),(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図（その1）である。

【図11】図11(a),(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図（その2）である。

【図12】図12(a),(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図（その3）である。

【図13】図13(a),(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図（その4）である。

【図14】図14(a),(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図（その5）である。

【符号の説明】

1…シリコン（半導体）基板、2…素子分離絶縁膜、3…ゲート絶縁膜、4…ゲート電極、5s, 5d…不純物拡散層、6…MOSトランジスタ、7, 9, 11, 14…層間絶縁膜、12…絶縁膜、13a…プラス電源配線、13b…マイナス電源配線、13c…信号配線、14a～14c…ピアホール、15a～15c…ピア、16, 18…導電膜、17…誘電体膜、19a～19c…

開口、20…表面保護膜、20a～20c…ホール、21a…プラスパッド電極、21b…マイナスパッド電極、21c…信号パッド電極、23, 25, 27…導電膜、24, 26…誘電体膜、28…表面保護膜、29a, 29b…キャバシタ、31, 32, 33…開口、34, 35, 36…ホール、37a…プラスパッド電極、37b…マイナスパッド電極、37c…信号パッド電極。

フロントページの続き

(72)発明者 西沢 元亨
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 岡本 圭史郎
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 丸山 研二
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 山脇 秀樹
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 梅宮 茂良
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 倉澤 正樹
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
F ターム(参考) 5F033 HH07 HH13 HH18 JJ11 JJ32
KK11 KK18 KK32 MM01 MM12
MM13 NN06 NN07 QQ48 QQ74
QQ91 RR03 RR04 RR06 SS09
SS11 TT04 VV04 VV07 VV10
VV16 WW03 XX00
5F038 AC05 AC15 AZ06 BH03 BH19
CD02 CD05 CD14 E220